

**L3 STIC ESET
FPGA AND VHDL (ETRS 501 et ETRS504)**

Session 2

Date : 13/06/2024

Durée : 1h30

Règles pour l'épreuve :

- Tous les documents sont autorisés

Exercice 1 :

On souhaite décrire un circuit ayant la table de vérité suivante :

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

1. Ecrire l'architecture en description flot de données de ce circuit.
2. Décrire ce même circuit mais en utilisant une description comportementale.
3. Quelle est la différence ces deux descriptions ?
4. En VHDL, à quoi sert un process ?
5. Réécrire l'architecture suivante en utilisant un process

```
architecture Arch of Q2 is
begin
  with Sel select
    sortie <= a when "00"|"01",
              b when others;
end Arch;
```

6. Quelle est la différence entre l'instruction « with...select... » et l'instruction « <=...when... » ?
7. Sur la carte DE1, on trouve de la RAM à l'intérieur du FPGA, à l'extérieur du FPGA, ou à la fois à l'intérieur et à l'extérieur du FPGA ?
8. Sur la carte DE1, l'horloge à 50 MHz est-elle générée à l'intérieur du FPGA, à l'extérieur du FPGA, ou à la fois à l'intérieur et à l'extérieur du FPGA ?

Dans un FPGA, il existe des broches particulières pour appliquer une horloge extérieure.

9. En quoi ces broches sont différentes des broches « normales » ?

10. En TP vous pouviez utiliser le fichier DE1_pin_assignments.csv. A quoi sert-il ?

Exercice 2 :

On étudie le code VHDL de l'annexe A.

Q1. Quelles sont les entrées et les sorties du circuit ? Quelle est leur taille ?

Q2. De combien de composants est composé ce circuit ?

Q3. Dessiner le schéma du circuit en y mettant le plus d'information possible (nom et taille des entrées/sorties, noms et taille des fils internes, nom et type des composants, ...).

Q4. Que fait ce circuit ?

Q5. Décrire le même circuit en VHDL mais sans utiliser de composants.

Exercice 3 :

L'annexe B présente le code décrivant le circuit P_GENERATOR.

1. Quelles sont les entrées et les sorties du circuit ?

2. Dessiner le graph de la machine à états décrite.

3. La remise à zéro implémentée est-elle synchrone ou asynchrone ? Quelle est la différence entre les deux ?

4. Dessiner les chronogrammes obtenus pour les entrées et les sorties après avoir lancé la simulation décrite dans l'annexe C. Préciser dans quel état se trouve le système tout au long des chronogrammes.

5. Quelle fonction réalise le circuit ? De quelle durée est l'impulsion ?

Annexe A

```
library IEEE;
use IEEE.std_logic_1164.all;

entity adder4 is
    port( a,b : in std_logic_vector(3 downto 0); Ci : in std_logic;
          s : out std_logic_vector(3 downto 0); Co : out std_logic);
end adder4;

architecture structure of adder4 is
    component adder
        port(X,Y,Cin : in std_logic;
             Cout, Sum : out std_logic);
    end component;
    signal c : std_logic_vector(3 downto 1);
    begin
        fa0: adder port map (a(0), b(0), Ci, c(1), s(0));
        fa1: adder port map (a(1), b(1), c(1), c(2), s(1));
        fa2: adder port map (a(2), b(2), c(2), c(3), s(2));
        fa3: adder port map (a(3), b(3), c(3), Co, s(3));
    end structure;
```

```
library IEEE;
use IEEE.std_logic_1164.all;

entity adder is
    port(X,Y,Cin : in std_logic;
          Cout, Sum : out std_logic);
end adder;

architecture arch of adder is
begin
    Sum<=X xor Y xor Cin;
    Cout<=(Cin and (X xor Y)) or (X and Y);
end arch;
```

ANNEXE B

```

library IEEE;
use IEEE.std_logic_1164.all;

entity P_GENERATOR is
port (
    CLK : in std_logic;
    RESET : in std_logic;
    TRIG : in std_logic;
    PULSE : out std_logic);
end P_GENERATOR;

architecture STATE_MACHINE of P_GENERATOR is
type PULSEGEN_STATE_TYPE is (IDLE, GEN_PULSE_A, GEN_PULSE_B, END_PULSE, RETRIGGER);
signal CURRENT_STATE, NEXT_STATE: PULSEGEN_STATE_TYPE;
signal COUNT : integer range 0 to 31;
constant WIDTH : integer range 0 to 31 := 4;

begin
    STATE_MACH_PROC : process (CURRENT_STATE, TRIG, COUNT)
    begin
        case CURRENT_STATE is
            when IDLE => if TRIG='1' then
                NEXT_STATE <= GEN_PULSE_A;
            end if;
            when GEN_PULSE_A => if COUNT = WIDTH then
                NEXT_STATE <= END_PULSE;
            elsif TRIG='0' then
                NEXT_STATE <= GEN_PULSE_B;
            end if;
            when END_PULSE => if TRIG='1' then
                NEXT_STATE <= IDLE;
            end if;
            when GEN_PULSE_B => if TRIG='1' then
                NEXT_STATE <= RETRIGGER;
            elsif COUNT=WIDTH then
                NEXT_STATE <= IDLE;
            end if;
            when RETRIGGER => NEXT_STATE <= GEN_PULSE_A;
            when OTHERS => NEXT_STATE <= NEXT_STATE;
        end case;
    end process STATE_MACH_PROC;

    PULSE_PROC : process (CLK, RESET) -- sensitivity list
    begin
        if RESET = '1' then
            PULSE <= '0';
            COUNT <= 0;
            CURRENT_STATE <= IDLE;
        elsif (clk='1' and clk'event) then
            CURRENT_STATE <= NEXT_STATE;
            case NEXT_STATE is
                when IDLE => PULSE <= '0';
                    COUNT <= 0;
                when GEN_PULSE_A => PULSE <= '1';
                    COUNT <= COUNT + 1;
                when END_PULSE => PULSE <= '0';
                    COUNT <= 0;
                when GEN_PULSE_B => PULSE <= '1';
                    COUNT <= COUNT + 1;
                when RETRIGGER => COUNT <= 0;
                when OTHERS => COUNT <= COUNT;
            end case;
        end if;
    end process PULSE_PROC;
end STATE_MACHINE;

```

Annexe C

```
library IEEE;
use IEEE.std_logic_1164.all;

entity STATE_MACHINE_TB is
end STATE_MACHINE_TB;

architecture ARC_STATE_MACHINE_TB of STATE_MACHINE_TB is
    component P_GENERATOR
        port ( CLK : in std_logic;
              RESET : in std_logic;
              TRIG : in std_logic;
              PULSE : out std_logic);
    end component;

    signal CLK : std_logic;
    signal RESET : std_logic;
    signal TRIG : std_logic;
    signal PULSE : std_logic;

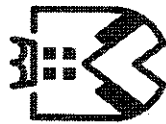
    begin
        P_GENERATOR port map( CLK, RESET, TRIG, PULSE);

        RESET <= '1', '0' after 5 ns;

        CREATE_CLOCK: process (clk)
        begin
            if clk <= 'U' then clk <= '0' after 1 ns;
            else clk <= not clk after 1 ns;
            end if;
        end process CREATE_CLOCK;

        CREATE_PULSE: process (TRIG)
        begin
            TRIG <= '0' ,
                '1' after 10 ns,
                '0' after 21 ns;
        end process CREATE_PULSE;

    end ARC_STATE_MACHINE_TB;
```

Épreuve du mardi 11 juin 2024 – session 2

Partie 1

EXERCICE 1 :

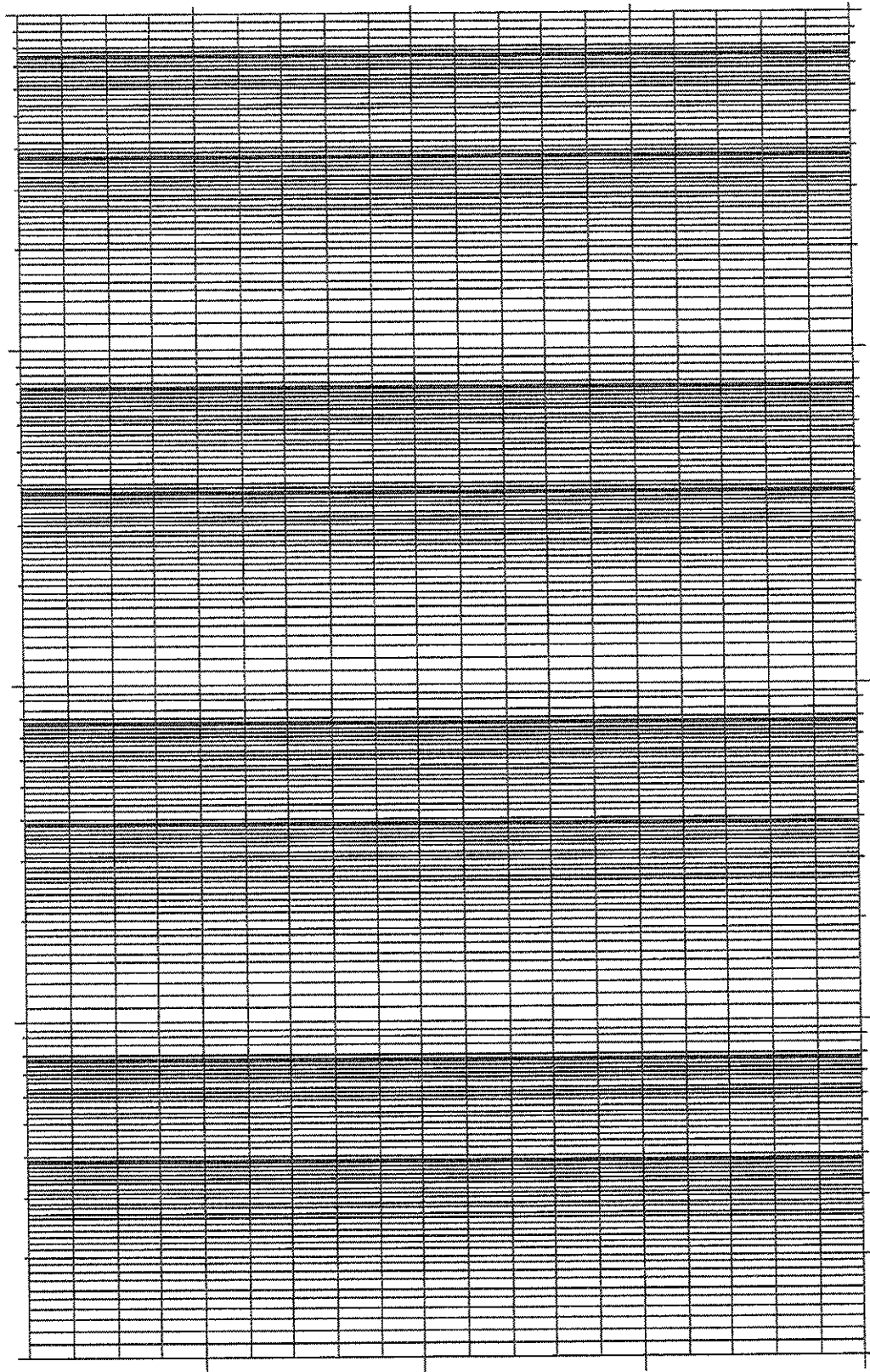
1. Trouver une primitive de $A = \int \left(4x^3 + \frac{1}{x^2} - \sqrt{x} \right) \cdot dx$
2. Trouver une primitive de $B = \int (1 + 3x) \cdot e^x \cdot dx$
3. Après avoir fait une division de polynômes, donner une primitive de $C = \int \frac{2x^3}{x^2 - 4} \cdot dx$

EXERCICE 2 : z est un nombre complexe et on pose j tel que $j^2 = -1$

4. Soit $z_1 = \frac{-4}{(1 + j\sqrt{3})}$, écrire z_1 sous la forme $a + jb$ puis sous sa forme trigonométrique et enfin sous sa forme exponentielle.
5. Calculez z_1^3 puis placez le dans le plan complexe ainsi que z_1 .

EXERCICE 3 : j est tel que $j^2 = -1$. Soit la fonction $x \rightarrow H(x)$ où x est un réel et $H(x)$ un nombre complexe, s'écrivant $H(x) = \frac{jx}{1 + jx}$

6. Déterminer le module et l'argument de $H(x)$ que l'on nommera $|H(x)|$ et $\arg(H(x))$.
7. Pour $x=0.1, 1, 2, 10$ et 100 donner les valeurs de $|H(x)|$ et $\arg(H(x))$.
8. Pour x variant de 0 à l'infini étudier les valeurs limites et les asymptotes de $|H(x)|$. On veillera à bien donner l'expression analytique des asymptotes pour le module.
9. Donner l'expression analytique de $20 \times \log_{10} |H(x)|$. Donner ensuite l'expression analytique des asymptotes de $20 \times \log_{10} |H(x)|$ lorsque x tend vers 0 et x tend vers l'infini.
10. Tracer $|H(x)|$ en dB dans un diagramme de Bode à l'aide du papier semi-log joint à ce sujet pour x variant de 0.01 à 100 .



Licence ESET 3^{ème} année

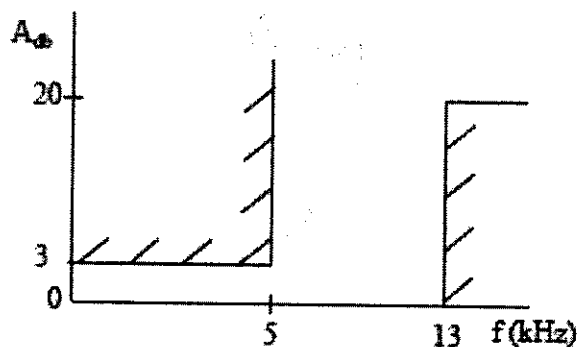
Epreuve de ETRS 602 - session 2

Date : mercredi 19 juin 2024

Durée : 1h30.

1) Question de cours : Filtre de Butterworth

Le but est de réaliser un filtre de **Butterworth** dont le gabarit est le suivant :



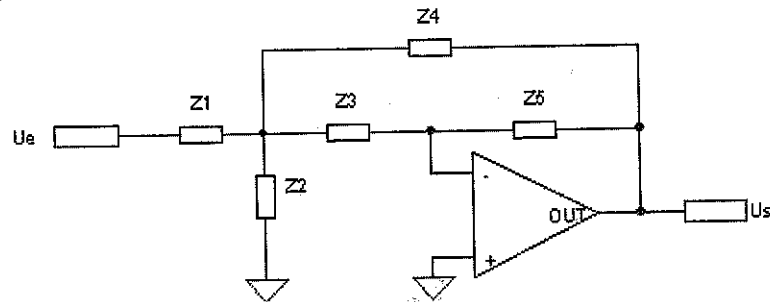
- De quel type de filtre s'agit-il ? Quelles sont les particularités d'un filtre de Butterworth ?
- Donner les paramètres A_{min} , A_{max} , f_p et f_a associés aux bandes passante et atténuée du filtre.
- Déterminer l'ordre du filtre correspondant au gabarit ci-dessus.
- Donner l'expression générale de la fonction de transfert d'un tel filtre.

On donne la table des polynômes suivante pour la valeur de ε correspondant au cas présent :

N	$A(p)$ ($p=jW$) pour $A_{max}=3$ dB
1	$p+1$
2	$(p^2+1.414 p +1)$
3	$(p+1) (p^2+ p +1)$
4	$(p^2+0.765 p +1) (p^2+1.848 p +1)$
5	$(p+1) (p^2+0.618 p +1) (p^2+1.618 p +1)$

2) Etude d'un filtre

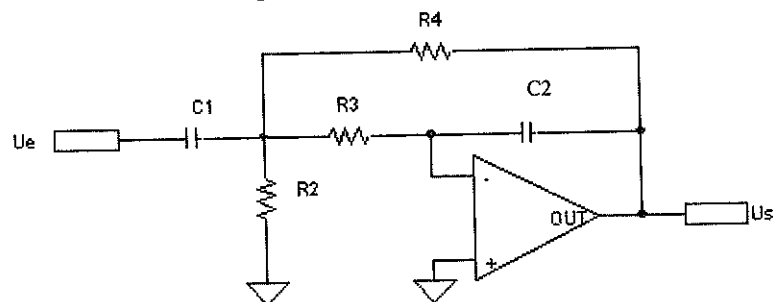
Soit la structure général d'un filtre :



- a) Montrer que la fonction de transfert $H(j\omega) = \frac{V_s(j\omega)}{V_e(j\omega)}$ d'une telle structure s'exprime comme suit en fonction des impédances Z_i :

$$H(j\omega) = \frac{-1}{\frac{Z_3}{Z_5} + \frac{Z_1}{Z_5} + \frac{Z_1}{Z_4} + \frac{Z_1 Z_3}{Z_2 Z_5} + \frac{Z_1 Z_3}{Z_4 Z_5}}$$

On fabrique, sur la base de la structure précédente, le filtre suivant :



- b) Donner l'expression de la fonction de transfert complexe de ce filtre.
c) Faire l'étude asymptotique du module et de l'argument de $H(j\omega)$.

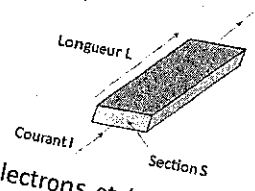
On prendra $R_2=R_3=R_4=R$ et $C=C_1=C_2$.

- d) Tracer le module et l'argument de $H(j\omega)$ dans le plan de Bode.
En déduire de quel type de filtre il s'agit.

Electronique Systèmes Embarqués et Télécoms
2023 session 1 - Durée 1h30 - deux feuilles A4 manuscrites de résumé autorisées

Exercice 1 : Diode idéale
On considère une diode idéale de section $S=1 \text{ cm}^2$

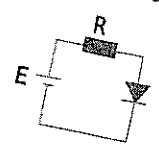
Exercice 2 : Diode à jonction PN
On considère une diode de redressement 1N4005 dont la caractéristique $I(V)$ est donnée en annexe 1. La diode est polarisée avec le circuit ci-dessous avec $E=2 \text{ V}$. On suppose $V_T=kT/e=26 \text{ mV}$ à la température de 20°C .



- Les mobilités sont 1500 et $500 \text{ cm}^2/\text{V.s}$ pour les électrons et les trous respectivement. On rappelle que $e=1,6 \cdot 10^{-19} \text{ C}$ et on suppose $V_T=kT/e=26 \text{ mV}$ à la température de 20°C .
1. Calculer la conductivité et la résistivité du silicium (respectivement en $\Omega^{-1}.\text{cm}^{-1}$ et $\Omega.\text{cm}$)
 2. On dope le cristal avec du Phosphore pour obtenir un matériau dopé N et une conductivité de $8 \Omega^{-1}.\text{cm}^{-1}$. La nouvelle mobilité des électrons est $600 \text{ cm}^2/\text{V.s}$. Quelle concentration N_D de Phosphore a été introduite (en cm^{-3}) ?
 3. Calculer la résistance R du barreau de silicium (en Ω) si un courant circule entre chaque face de section S .
 4. Si on applique une différence de potentiel de 2 V sur le barreau dopé, calculer le courant I et la densité de courant de conduction des électrons $J=I/S$ (en A/cm^2) dans le barreau.
 5. Calculer la constante de diffusion D_n à $T=300 \text{ K}$ (en cm^2/s)

Exercice 2 : Diode à jonction PN

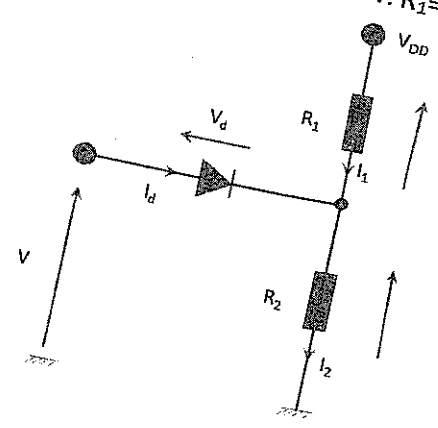
On considère une diode de redressement 1N4005 dont la caractéristique $I(V)$ est donnée en annexe 1. La diode est polarisée avec le circuit ci-dessous avec $E=2 \text{ V}$. On suppose $V_T=kT/e=26 \text{ mV}$ à la température de 20°C .



1. Estimer la tension seuil V_s de la diode et de sa résistance série R_s en utilisant l'annexe 1.
2. On mesure un courant I_0 de 20 mA dans le circuit de polarisation. Placer le point de fonctionnement (I_0, V_0) de la diode sur la caractéristique $I(V)$ de l'annexe 1. Quelle est la valeur V_0 sur la diode ?
3. En déduire la valeur de la résistance R utilisée dans le circuit de polarisation.
4. Déterminer la résistance dynamique r_d au point de fonctionnement (V_0, I_0) à l'aide de l'annexe 1
5. Comparer la valeur précédente de résistance dynamique r_d avec celle donnée par l'expression théorique en fonction de V_T et I_0 . Conclusion.

Partie indépendante

Une diode idéale ($V_{\text{seuil}}=0 \text{ V}$) est montée dans le circuit suivant. On cherche à savoir si elle est passante ou bloquée pour une tension d'entrée $V=3,5 \text{ V}$. La source de tension V_{DD} vaut 5 V . $R_1=100 \Omega$ et $R_2=400 \Omega$.



ode bloquée :

V_{DD} en fonction de V_{R1} et V_{R2} , puis en fonction de R_1 , R_2 et I . En déduire

culer sa valeur.

e la tension V_d au bornes de la diode

de passante :

la valeur de V_{R2} ? En déduire la valeur de V_{R1} .

les valeurs des courants I_1 et I_2 dans R_1 et R_2 . Déterminer alors I_d dans la diode et son sens.

at de la diode

t-elle passante ou bloquée avec $V=3,5$ V (justifier la réponse) ?

valeur de V la diode changera d'état ?

ateur à transistor à effet de champ JFET (7 pts)

sistor JFET à canal N caractérisé par une tension de pincement $V_p = -3$ V. Il est utilisé dans un

avec une polarisation par pont diviseur (fig.1 à droite).

500 k Ω , $R_2=100$ k Ω , $R_D=1$ k Ω , $R_S=500$ Ω

de saturation : $I_D=I_{DSS}(1-V_{GS}/V_p)^2$ et $g_m=2I_{DSS}(1-V_{GS}/V_p)/V_p$

e : circuit de polarisation

terminer alors la relation donnant V_{DD} en fonction de R_1 , R_2 et I . puis celle donnant V_{GM} en

éduire V_{GM} en fonction de R_1 , R_2 et V_{DD} . Calculer la valeur de V_{GM} .

donnant V_{GM} en fonction de V_{SM} et V_{GS} puis exprimer V_{SM} en fonction de R_s et I_D . En déduire

fonction de R_s , V_{GS} et V_{GM} .

1 V (notée V_{GS0}), en déduire la valeur de I_D (notée I_{D0})

onnant V_{DD} en fonction de R_D , R_s , I_D et V_{DS} . En déduire V_{DS} (notée V_{DS0})

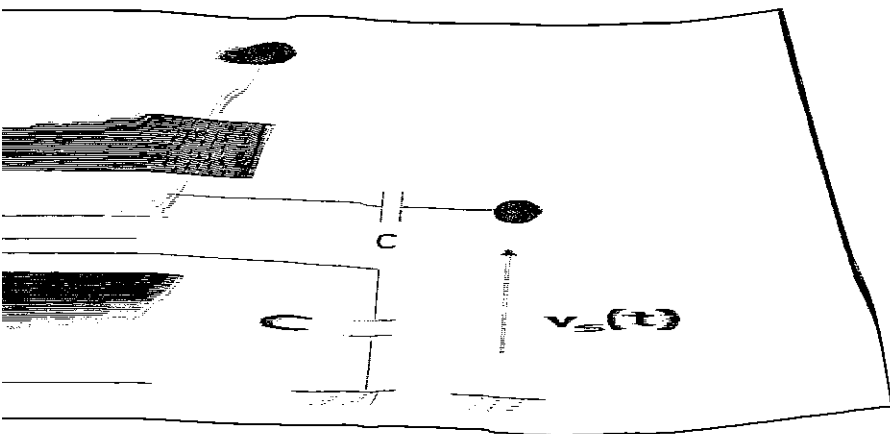
aire ou saturé, est placé le transistor JFET ? Justifier la réponse.

ur de I_{DSS} (en A) du JFET et celle de la transconductance g_m (en Ω^{-1}) au point de

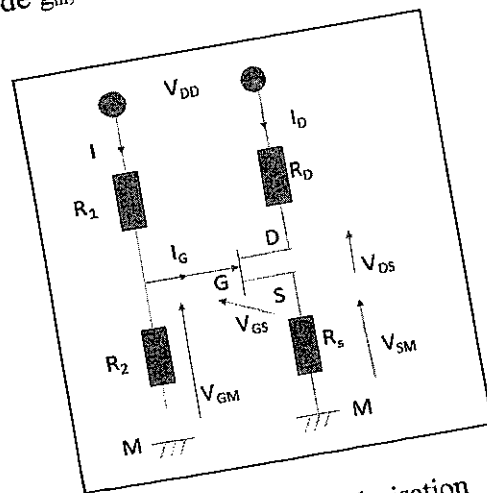
ma en dynamique du montage amplificateur de la figure 1 (gauche). On suppose que la

al ms est infinie (JFET idéal).

n du gain en tension A_v en fonction de g_m , R_D . Calculer sa valeur.



ateur complet



Circuit statique de polarisation